

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-267999

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

H 0 3 K 3/037

G 0 1 R 31/318

識別記号

Z 7436-5 J

B 7436-5 J

6912-2 G

F I

G 0 1 R 31/ 28

技術表示箇所

A

審査請求 有 発明の数17(全 12 頁)

(21)出願番号

特願平3-190251

特願昭59-500897の変更

(22)出願日

昭和59年(1984)1月23日

(71)出願人 591165159

ストーリージ・テクノロジー・パートナーズ

アメリカ合衆国,コロラド州 80028, ル
イスヴィル, サウス・エイティエイス・ス
トリート 2270

(72)発明者 ザシオ、ジョン ジェイ

アメリカ合衆国カリフォルニア州94087
サニーヴェイル、レノックス・ウェイ
1369

(74)代理人 弁理士 鈴江 武彦

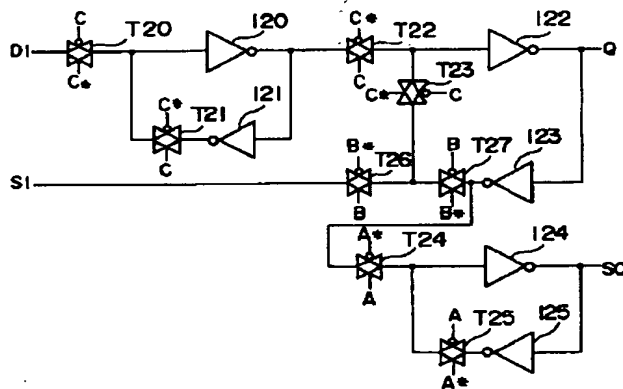
最終頁に続く

(54)【発明の名称】 走査可能なラッチ回路

(57)【要約】

【目的】本発明は、動作速度を犠牲にすることなくエラーの検出および訂正能力を与えるコンピュータシステムを特徴とする。

【構成】システムクロックの100%の期間にわたって効果的に出力信号のモニタを行う改善された走査可能なラッチ回路であり、ラッチ出力Qとシフトレジスタ出力SOとからなる独立した2系統の信号を出力する。第1、第2及び第3のラッチ素子を含み、ラッチ回路としての動作時には第1、第2のラッチ素子がマスタ/スレーブ・ラッチ回路のマスタ及びスレーブとしてそれぞれ動作する。シフトレジスタ回路としての動作時には、シフトイン・データSIが第2のラッチ素子に結合されこの第2のラッチ素子がマスタとして動作し、第3のラッチ素子がスレーブとして動作し、所定のクロック信号によりデータの選択的なシフト動作が行われる。



1

【特許請求の範囲】

【請求項1】 データビット信号を少くとも一つのクロック信号の制御下で選択的に処理するための走査可能なラッチ回路において、前記走査可能なラッチ回路が、データ出力ビット信号を第1のクロック信号の全クロックサイクルにわたって形成しそして維持するために第1の動作モードで動作可能であり、前記データ出力ビット信号が前記クロックサイクルの直前のデータ入力信号に等しいようなラッチ装置と、

データビット信号を前記ラッチ装置に対して選択的にシフトインおよびシフトアウトさせるために第2の動作モードで動作可能であり、かつ前記ラッチ装置によって前記第1の動作モード中において形成されるデータ出力ビット信号から隔離されている前記ラッチ装置からデータをシフトアウトするための出力装置を含むシフト装置と、

前記走査可能なラッチ回路の動作モードを選択するための装置であって前記クロックサイクルの全ての有用な部分の間に動作可能な選択装置とから構成され、

前記ラッチ装置はタンデムに接続された第1および第2のラッチ回路を含み、前記第1および第2のラッチ回路はそれぞれ前記第1の動作モードの期間にマスタおよびスレーブラッチ回路として動作し、

前記シフト装置の出力装置は前記第2のラッチ回路に結合された第3のラッチ回路を有し、前記第2および第3のラッチ回路が前記第2の動作モードの間にマスタおよびスレーブラッチ回路として動作することを特徴とする走査可能なラッチ回路。

【請求項2】 前記シフト装置が、

前記第1のクロック信号を所定の状態に維持しそれによって前記第1のモードの動作のクロック制御を停止するための装置と、

シフトインビット信号を第2のクロック信号に応答して前記第2のラッチ回路中にクロックにより入力させられるようにするためのシフトインビット装置と、

前記第2のラッチ回路の内容を第3のクロック信号に応答して前記第3のラッチ回路中にクロックにより入力させられるようにする装置とを備え、

それによって前記第1の動作モードの前記ラッチ装置のクロック制御を任意の時点で停止させ、そして前記第2のラッチ回路の内容が前記第2の動作モードのシフト装置を用いて選択的に変更させられることを特徴とする請求項1に記載の走査可能なラッチ回路。

【請求項3】 前記選択装置が、

前記第1のクロック信号をそれが第2の前記可能な状態をとるための時間に比較して短い時間間隔についてのみ二つの可能な状態のうちの第1の状態をとるようにチョッピングし、前記第1の状態から前記第2の状態へのクロックの変化が前記第1のラッチ回路の出力を前記第1の動作モードの間に第2のラッチ回路に移行させるよう

2

な変化であるようなチョッピング装置と、

前記第2のクロック信号を前記シフトインビット装置に対して選択的に加えるための装置と、

前記第3のクロック信号を前記第3のラッチ回路に対して選択的に加える装置とを含んでいることを特徴とする請求項2に記載の走査可能なラッチ回路。

【請求項4】 前記チョッピング装置が、

それぞれの入力が前記クロック信号の前記ゲートの夫々の入力端への伝送において異なった時間の遅延がある場合にはそれらをもたらし装置を通して前記第1のクロック信号に結合されている少くとも二つの論理ゲートを含んでいることを特徴とする請求項3に記載の走査可能なラッチ回路。

【請求項5】 前記第1、第2および第3のクロック信号が全て共通のマスタクロック信号から得られることを特徴とする請求項3項に記載の走査可能なラッチ回路。

【請求項6】 それぞれが入力端および出力端を有する三つのラッチ回路であって前記三つのラッチ回路のうちの第1のものの出力端が前記三つのラッチ回路のうちの第2のものの入力端に対して結合されており、前記三つのラッチ回路のうち第3のものが第2のラッチ回路の出力端に対して結合されているような三つのラッチ回路と、

データを前記第2のラッチ回路に対してシフトイン入力ラインを経て選択的に入力させられるようにするために前記第2のラッチ回路に対して結合された電子的スイッチ手段と、

前記第1、第2および第3のラッチ回路および前記電子的スイッチ手段の動作を制御する多数のクロック信号を選択的に与えるためのクロック装置とを有し、

前記クロック装置が、

前記第1および第2のラッチ回路に結合され、前記第1および第2のラッチ回路に第1のクロック信号を供給することにより第1および第2のラッチ回路をマスタ/スレーブラッチとして動作させるようになされており、前記第1のラッチ回路が前記マスタ/スレーブラッチのマスタ部分として機能し、前記第2のラッチ回路が前記マスタ/スレーブラッチのスレーブ部分として機能するようになされている第1のクロック信号源と、

前記電子的スイッチ手段に結合され、この電子的スイッチ手段に第2のクロック信号を供給することによりシフト入力ラインに生じるデータを前記第2のラッチ回路中にクロックにより入力させるようになされている第2のクロック信号源と、

前記第3のラッチ回路に結合され、この第3のラッチ回路に第3のクロック信号を供給することにより前記第2のラッチ回路からのデータを第3のラッチ回路にクロックにより入力させるようになされている第3のクロック信号源とを含み、

第1の動作モードにおいて、前記第1、第2及び第3の

3

クロック信号により前記第1及び第2のラッチ回路がマスタ／スレーブラッチ回路として動作し、

第2の動作モードにおいて、前記第1、第2及び第3のクロック信号により前記第2及び第3のラッチ回路がシフトレジスタ回路として動作することを特徴とするCMOS組合せラッチおよびシフトレジスタ回路。

【請求項7】 第1の動作モードにおいて、前記第2及び第3のクロック信号が、前記第1のクロック信号によって前記第1および第2のラッチ回路がマスタ／スレーブラッチ回路として動作するような状態にされ、

第2の動作モードにおいて、前記第1のクロック信号が、前記第2及び第3のクロック信号によって前記第2および第3のラッチ回路がシフトレジスタ回路として動作するような状態にされることを特徴とする請求項6に記載のCMOS組合せラッチおよびシフトレジスタ回路。

【請求項8】 前記第1、第2および第3のラッチ回路がそれぞれ、

タンデムに接続された第1および第2のインバータゲートであって、前記インバータゲートのタンデム接続の midpoint すなわち第1のインバータゲートの出力端が第2のインバータゲートの入力端に接続されている点がそれぞれのラッチ回路の出力端として動作するような前記第1および第2のインバータゲートと、

タンデムに接続された第1および第2の電子的スイッチ装置であって、前記電子的スイッチ装置のタンデム接続の midpoint が前記第1のインバータゲートの入力端に接続され、前記第1の電子的スイッチ装置の残りの終端点がそれぞれのラッチ回路の入力端として機能し、前記第2の電子的スイッチ装置の残りの終端点が前記第2のインバータゲートの出力端に対して接続されているような第1および第2の電子的スイッチ装置とを含んでいることを特徴とする請求項7に記載のCMOS組合せラッチおよびシフトレジスタ回路。

【請求項9】 前記電子的スイッチ手段が、一端が前記第2のラッチ回路の第2のインバータゲートの出力端に接続され、他端が前記第2のラッチ回路の第2の電子的スイッチ装置の他端に接続された第3の電子的スイッチ装置と、

一端が前記第2のラッチ回路の第2の電子的スイッチ装置と前記第3の電子的スイッチ装置の接続点に接続され、他端がシフトイン入力ラインとして機能する第4の電子的スイッチ装置とから構成されていることを特徴とする請求項8に記載のCMOS組合せラッチおよびシフトレジスタ回路。

【請求項10】 前記第3のラッチ回路の入力端が前記第2のインバータゲートの出力端に接続されていることを特徴とする請求項9に記載のCMOS組合せラッチおよびシフトレジスタ回路。

【請求項11】 前記第1のクロック信号が第1の状態

4

をとるときには前記第1のラッチ回路の第1の電子的スイッチ装置および前記第2のラッチ回路の第2の電子的スイッチ装置がオンになり、すなわち信号がそれらを通して通過し得て、そして前記第1のクロック信号が第2の状態をとるときにはこれらの電子的スイッチ装置がオフになり、すなわち信号がそれらを通して通過し得なくなり、

前記第1のクロック信号が前記第2の状態をとるときには前記第1のラッチ回路の第2の電子的スイッチ装置および前記第2のラッチ回路の第1の電子的スイッチ装置がオンになり、そして前記第1のクロック信号が第1の状態をとるときにはこれらの電子的スイッチ装置がオフになり、

前記第2のクロック信号が第1の状態をとるときは前記第3の電子的スイッチ装置がオンになり、第4の電子的スイッチ装置がオフになり、そして第2のクロック信号が第2の状態をとるときは前記第3の電子的スイッチ装置がオフになり、第4の電子的スイッチ装置がオンになり、そして、

前記第3のクロック信号が第1の状態をとるときには前記第3のラッチ回路の第2の電子的スイッチ装置がオンになり前記第3のラッチ回路の第1の電子的スイッチ装置がオフになり、前記第3のクロック信号が第2の状態をとるときにはこれらの第2及び第1の電子的スイッチ装置がそれぞれオフ及びオンになることを特徴とする請求項10に記載のCMOS組合せラッチおよびシフトレジスタ回路。

【請求項12】 前記第1、第2および第3のクロック信号がそれぞれ一つのものをそのそれぞれの第1の状態に維持することによってそれぞれディスエーブル化されることを特徴とする請求項11に記載のCMOS組合せラッチおよびシフトレジスタ回路。

【請求項13】 第1の動作モードの間に、前記第1のクロック信号がそれぞれ前記第1のクロックの各サイクルの間にその第2の状態をとる時間に比較して長い時間にわたって第1の状態をとることを特徴とする請求項12に記載のCMOS組合せラッチおよびシフトレジスタ回路。

【請求項14】 データ入力信号が入力される第1のラッチ回路と、

前記第1のラッチ回路に結合されデータ出力ビット信号を出力する第2のラッチ回路と、

前記第2のラッチ回路の出力端に結合される出力回路と、

シフトデータ入力信号を前記第2のラッチ回路に入力するように前記第2のラッチ回路に結合された電子的スイッチ手段とを具備し、

第1の動作モードにおいて、前記第1および第2のラッチ回路がそれぞれマスタおよびスレーブラッチ回路として動作し、前記第2のラッチ回路よりデータ入力信号に

5

基づくデータ出力ビット信号を出力し、

第2の動作モードにおいて、前記第2のラッチ回路及び出力回路がシフトレジスタ回路として動作し、前記出力回路よりシフトデータ入力信号に基づく出力信号を出力することを特徴とする組合せラッチおよびシフトレジスタ回路。

【請求項15】 前記第1および第2のラッチ回路がそれぞれ、第1の電子的スイッチ装置と、前記第1の電子的スイッチ装置の一端にに入力端が接続された第1のインバータゲートと、入力端が前記第1のインバータゲートの出力端に接続された第2のインバータゲートと、一端が前記第2のインバータゲートの出力端に接続され他端が前記第1のインバータゲートの入力端に接続された第2の電子的スイッチ装置とを含み前記第1の電子的スイッチ装置の他端をラッチ回路の入力端とし、前記第1、第2のインバータゲートの接続点をラッチ回路の出力端としてなり、

前記出力回路が第1の電子的スイッチ装置と、前記第1の電子的スイッチ装置の一端にに入力端が接続された第1のインバータゲートとを含み、第1の電子的スイッチ装置の他端及び前記前記第1のインバータゲートの出力端をそれぞれ出力回路の入力端及び出力端としてなることを特徴とする請求項14に記載の組合せラッチおよびシフトレジスタ回路。

【請求項16】 前記第1および第2のラッチ回路をそれぞれマスタおよびスレーブ動作させるような第1のクロック信号が前記第1および第2のラッチ回路に印加され、

前記シフトデータ入力信号を前記第2のラッチ回路に入力させるような第2のクロック信号が前記電子的スイッチ手段に印加され、

前記第2のラッチ回路からのデータを前記出力回路に出力するような第3のクロック信号が前記出力回路に印加されてなることを特徴とする請求項15に記載の組合せラッチおよびシフトレジスタ回路。

【請求項17】 前記電子的スイッチ手段が、前記第2のラッチ回路の前記第2のインバータゲートの出力端に一端が接続され前記第2のラッチ回路の前記第2の電子的スイッチ装置に他端が接続された第3の電子的スイッチ装置と、

前記第2および第3の電子的スイッチ装置の共通接続点に一端が接続され、他端にシフトデータ入力信号が入力される第4の電子的スイッチ装置とを含むことを特徴とする請求項15に記載の組合せラッチおよびシフトレジスタ回路。

【発明の詳細な説明】

【0001】本発明は相補型金属酸化物半導体(CMOS)技術を用いる大規模集積回路(LSI)及び超大規模集積回路(VLSI)のための回路設計に関する。更に詳述すれば、本発明はラッチとシフトレジスタとを組

6

合わせてこのような回路の従来の設計において固有であったタイミングの拘束を除去するようになされた改善されたCMOSの設計に関する。

【0002】大型コンピュータシステムの中央処理装置(CPU)は基本的にはラッチ、組合せ論理回路及びクロックシステムからなっている。ラッチはコンピュータシステム中で用いられている語の大きさに対応し、しばしばレジスタと呼ばれる群として配置される(「語」とは所定数のビットのことである)。ラッチの群の間には組合せ論理回路すなわちデータを記憶(ストア)しない論理回路が設けられている。

【0003】あるクロックサイクルの終り、そしてまた次のクロックサイクルの始めには組合せ論理回路の出力側のデータが一群のラッチ中に記憶される。このデータ是一群のラッチの出力側、すなわちこの一群のラッチの出力側に結合された組合せ論理回路の入力側に現われる。この論理回路はデータに関して設計された論理機能を行いそしてクロックサイクルの終りには組合せロジック回路の出力が次群のラッチ中に記憶される。この過程はコンピュータシステムが動作するにつれて何回も反復される。すなわち、データは組合せ論理回路によって処理され、記憶され、次群の組合せ論理回路に通過され、処理され、記憶されていく。

【0004】LSIおよびVLSI技術の出現に伴って、コンピュータシステムは物理的に小型になった。しかし多数の論理回路を小さなパッケージとして利用することにより、コンピュータの設計者がコンピュータの設計においてシステムの信頼性および試験可能性を増大させるような特色を含ませることが可能になった。このような特色はLSIおよびVLSIの利用が可能な以前には高価すぎるものと考えられていた。

【0005】今日の大型コンピュータシステムに共通する一つの特色は「走査可能なラッチ」である。走査可能なラッチは適当なクロック信号を用いることにより一連のシフトレジスタに変換できるラッチを含んでいる。この走査可能なラッチは、形成されるシフトレジスタの内容の検査のためにシフトアウトすることによって「走査」することを可能にする。このシフトレジスタ、すなわちラッチは新しいデータをその中にシフトすることによって新たな内容をロードすることもできる。

【0006】前記のラッチを設計中に組み込む場合には、選択された群を相互に接続してシフトレジスタを形成することができる。任意の時点で正確なタイミング信号がCPUの動作を停止させ、そしてラッチの内容の検査のためにオペレータのコンピュータコンソールに対してシフトアウトさせることができ、または既知のデータ群をコンピュータコンソールからラッチ中にシフトさせることもできる。言うまでもないことであるが、このような能力は大型コンピュータをテストするための有力な特色を表わす。たとえば、浮動小数点除算命令が誤った

7

結果を与えているものと決定されると、それに関連するラッチに既知の数値をシフトすることにより既知の一群の数をロードすることができる。そしてCPUは一度にワンサイクルだけ計算を実施することができる。各サイクルの終りにおいて、ラッチの内容をシフトアウトしそしてチェックすることができる。ラッチが正確な結果を有しているときには、この結果をラッチにシフトバックすることができそしてCPUは次のサイクルを実行することが可能になる。この過程は誤った結果が検知されるまで継続される。このようにして誤った結果に対応する回路を容易に発見して交換することができる。これに対して、このような試験についての特色を伴わない場合には、欠陥のある回路を取り除くことは大量の回路ならびに浮動小数点分割計算に関連する多数のクロックサイクルのために極めて困難なものとなろう。

【0007】CMOS VLSI技術は汎用レジスタ(GPR)を単一のチップ上で製作することを可能にするが、これについてはたとえば1983年2月22日付で出願され本願と同一の譲渡人に譲渡された代理人ドックet No. CRC-113に係る係属中の米国特許出願No. 06/466602号の「多重ポート汎用CMOSレジスタ」を参照されたい。GPRはその名前が示すように必要に応じてCPUの各所でデータの一時的な記憶のために用いることができる一般目的のレジスタである。単一チップのGPRは比較的安価でありそして小さな空間を占めるから、それは大型のコンピュータシステム中に容易に用いることができる。これに対してLSIおよびVLSIの出現の以前にはGPRの特色は余りにも高価すぎるものと考えられていた。

【0008】GPRは以下に説明するようにラッチの内容の経緯を記憶するために用いられる。この経緯は回路のエラーをランダムエラーから区別しそしてその他のエラー検出機能を行うために用いられる。たとえば組合せ論理回路の出力がラッチにロードされるクロックサイクルの終りにおいては、いくつかの選択された群のこれらの出力が近傍のGPR中にもロードされる。このようにしてラッチの内容はサイクルごとに変化するが、GPRはラッチの以前の内容の経緯を含んでいる。さらにエラー検出論理回路を組合せ論理回路として設計することができ、たとえばパリティビットを群に付加することができ、パリティの発生およびチェック回路を組合せ論理回路に付加することができそして冗長回路からの出力を加え、そしてそれらの出力をそれらが同一であるかどうかについてチェックすることができる。

【0009】したがって前記の浮動小数点分割命令の例を用いることにより、エラー検出回路が計算の第4サイクルの後にあるエラーを検出すると、CPUの動作が停止されそして第4サイクル以前に記憶されていたGPRからのデータ群が適当なラッチにロードされこの時点でCPUを再度スタートさせることができる。このエラー

8

が供電システムの雑音パルスなどのような何等かのランダムな欠陥機構によって生じた場合には、計算を実行するための第2の試みが可能である。この再度の試行の特色は多くのエラーがランダムエラーでありそして訂正可能なエラーであるためにシステムの信頼性を著しく向上させる。

【0010】しかしこのエラーが回路の故障によって生じた場合にはこのエラーは再度生じることになりそして適当なラッチがオペレータによって操作されて故障した回路を隔離することになる。

【0011】前記のエラー検出方法はコンピュータシステムの信頼度および試験可能性を著しく改良するものではあるが、不都合なことこのようなエラーを検出するためにはクロックサイクルの半分だけが一般的に利用できるにすぎない。これは以下さらに詳細に説明するが、基本的にはCPUの動作が停止されるときにはクロック信号が所定の状態になければならないという事実によって引き起こされる。もしこの時間(クロックがその所定状態にあるとき)がエラーを検出するのに十分ではないときには、クロック期間を増大しなければならずコンピュータシステムの動作の速度を低下させることになる。したがってここで必要なのは特にエラーをクロックサイクル中の任意の時点で検出しそれによってコンピュータシステムの動作速度を信頼度のために低下させないようにする手段である。したがって本発明の目的は動作速度を犠牲にすることなくエラーの検出および訂正能力を与えるコンピュータシステムを提供することにある。

【0012】本発明のさらに別の目的はラッチが用いられているコンピュータシステムの動作速度についての制限的な要素とならない走査可能なCMOSラッチを提供することにある。さらに詳述すれば本発明の目的は全クロックサイクルの間にラッチ出力をエラーに関して監視するような走査可能なCMOSラッチを提供することにある。

【0013】本発明の前記ならびにそれ以外の目的は走査可能なCMOSラッチデザイン中に組込まれている好ましい特色の独特な組合せによって実現される。たとえば本発明は同一のクロック信号およびその相補信号を用いてラッチのマスタおよびスレーブ部分の双方の動作を効果的に制御する。これによってこれらの双方が同一の局部クロックドライバによって駆動されそれによりあらゆるクロックのスキューを除去することができる。さらに方形波の変りにチョップされたクロック信号を用いてエラー検出回路がそれに割当てられた作業を実行するための付加的な時間を提供することができる。最後にシフトアウト部分については別個の段階が用いられる。これに対して従来技術の設計ではシフトアウト部分としてラッチのスレーブ部分が用いられていたが、そうすることによって次のシフトイン部分の電気的なロードの存在のためにラッチの動作速度が低下することになる。

【0014】前記の特色の組合わせによって高速コンピュータシステムに用いるのに適した走査可能なラッチ回路が提供される。このような走査可能なラッチを用いるとコンピュータシステムのサイクル時間は組合せ論理回路の回路遅れ、配線遅れ、パッケージ遅れなどによって決定され走査可能なラッチによっては制限されない。

【0015】以下は本発明を実施するために意図された最良の形態についての説明である。この説明は本発明の一般的な原理を説明するための目的のみのものであって限定的な意味を有しない。本発明の実際の範囲は添付の請求の範囲を参照して決定されるべきである。

【0016】本発明を認識しかつより十分に理解するために、従来技術のラッチ回路および従来技術の組合せラッチ回路およびシフトレジスタ回路をまず図1および図3について説明する。

【0017】図1はCMOS LSIおよびVLSIチップに用いられる典型的なラッチの論理回路図である。このラッチは二つの部分すなわちマスタ部分10とスレーブ部分11とからなっている。それぞれの部分はTおよび数字たとえばT1、T2...などで示される二つの電子的スイッチ装置例えば伝送ゲートならびにIおよび数字たとえばI1、I2...などで示される二つのインバータゲート例えばインバータからなっている。

【0018】伝送ゲートは小さな○印で示されている制御入力端の信号が低いときにオンとなりそしてこの制御入力端の信号が高いときにオフとなる回路である。伝送ゲートがオンになるとこのゲートは閉じられたスイッチとして機能しそして信号がそこを通過する。伝送ゲートがオフになるとそれは開放スイッチとして機能しそして信号はその通過を阻止される。これら図中において、信号Cはクロック信号であり一方、信号C*はこのクロック信号の相補信号である。したがってCおよびC*は常に反対方向の論理値を有しておりCがハイではC*がローでありそしてその逆の関係になる。インバータはその出力側の極性が常に入力側の極性と反対になる回路である。

【0019】図1のラッチは以下のようにして機能する。クロック信号CがハイではC*はローでありそして伝送ゲートT1およびT4がオンとなり一方伝送ゲートT2およびT3がオフとなる。データイン信号DIはT1を通過し、I1によって反転され、I2によって再びそのはじめの極性に反転されるがT2によってその通過を阻止される。I1の出力はT3によっても阻止される。クロック信号が極性を反転してCがローになりC*がハイになると伝送ゲートT1およびT4がオフになり一方ゲートT2およびT3がオンになる。したがってT2の出力端の信号(DIと同じ論理信号)がI1の入力端に加えられる。このように信号はI1およびI2によって形成されるループを通して循環することになるのでこれにより入力信号がラッチのマスタ部分10に対して

「ラッチ」される。

【0020】これと同時に、伝送ゲートT3がオンになりそして入力信号DIはI1およびI3による2回の反転後に信号Qとして出力端に生じる。クロック信号がもう一度ハイになると、CはハイでありC*はローである。そしてラッチの各伝送ゲートはそれぞれの当初の状態に復帰する。T3はオフでありそしてT4はオンであるから、入力信号はここでラッチのスレーブ部分11中にラッチされる。

【0021】図2は図1のラッチのタイミング図であり、信号DI、クロック信号C、マスタ部分10の出力Mおよびスレーブ部分11の出力Qを示す。入力信号は説明のためいくつかのするどいピークをもって示されている(このようなピークは一般的には論理信号の特徴ではない)。しかしピークはデータ信号に現われる雑音又はその他の好ましくない非連続部分を表わすことができそしてそれ以外に理由がなければこれらのピークは出力Mが入力DIに接続されおよびそれが接続されない時点を効果的に示す。回路遅延はタイミング図の理解をより容易なものとするために図2には示されていない。

【0022】さらに図2について説明すると、時点tp0およびtp1の間である第1のクロックサブサイクルの間にクロック信号Cがハイになり、T1がオンになりそしてラッチ10のマスタ部分の出力Mが入力信号DIに従うことが見られる。時点tp1、すなわち次のクロックサブサイクルの開始時点では、入力信号DIがラッチのマスタ部分10にラッチされそしてT3がオンになるのでスレーブ部分11の出力端Qに通過する。tp1およびtp2の間で定められるクロックサブサイクルの間ではマスタ部分の出力MはT1がオフになっているために信号DIの変化によっては影響されずそしてスレーブ部分11の出力Qは一定に保たれている。時点tp2においては、マスタ部分10の内容がスレーブ部分11中にラッチされている。tp2およびtp3の間のクロックサブサイクルはtp0およびtp1の間のサブサイクルと同様であり、そしてマスタ部分10の出力Mは再び入力信号DIに従う。

【0023】図2に示すように、クロックサイクルはクロック信号Cの立下がり縁部の間の時間たとえばtp1-tp3、tp3-tp5などによって定められる。マスタスレーブラッチはこのラッチの出力Qが全サイクルの間を通して入力の変化に影響されずに一定であるようにしそしてサイクルの開始に先だって入力端が有していたのと同じ論理レベルを有するようにする。

【0024】図3は図1に図示のラッチを二つの伝送ゲートT5およびT6を付加することによって組合せラッチおよびシフトレジスタ段に変換する態様を示す。この回路の動作を制御するために3種の異なったクロック信号A、BおよびCが用いられる。これらの各クロック信号は周知の技術により当業者がマスタクロック信号から

得ることができる。このクロック信号をゲートするためには図4に示す付加的な回路が必要である。

【0025】図3の回路をラッチとして使用する際には、クロック信号Aがローに保持されそしてクロック信号Bがハイに保持される。2入力NANDゲート17（図4）はハイレベル信号Bおよびクロック信号C*によってエネーブル化されそして信号(BC)*およびインバータ19を介してその相補信号BCを発生する。これら二つの信号はそれぞれクロック信号CおよびC*の位相と一致している。信号Aがローであり従ってA*がハイであるので、伝送ゲートT5（図3参照）はオフとなりそしてT6はオンとなりそして回路は図1について説明したようにクロック信号Cによって制御される。

【0026】図3の回路をシフトレジスタ段として用いる際には、クロック信号Cがローに保持される。2入力NANDゲート17はハイレベル信号C*によってエネーブル化される。クロック信号Bは信号(BC)*およびインバータ19を介してその相補信号BCを発生する。信号BCおよび(BC)*は信号BおよびB*とそれぞれ位相が一致している。

【0027】図5は図3の回路がシフトレジスタ段として機能する際のそのタイミング図を示す。時点tp6においてT5はオンでありそしてシフトレジスタの前段からのシフトイン信号SIはT1によって反転される。時点tp7で信号SIはマスタ部分によってラッチされる。時点tp8でT3が信号(BC)*によってオンとなりそして信号SIはシフトアウト出力SOに現われる。時点tp9においてスレーブ部分は入力信号SIをラッチする。

【0028】このようにして前記のようにこの回路をシフトレジスタとして用いる場合にはクロック信号Aがマスタ部分の動作を制御しそしてクロック信号Bがスレーブ部分の動作を制御する。これら二つのクロック信号AおよびBは以下に説明する「チョップ」として示されている。図3の従来技術の回路は二つの固有な欠陥を有している。

【0029】(1) 図4の回路はこの回路がラッチとして用いられる場合にマスタ部分を制御するクロック信号Cとスレーブ部分を制御するクロック信号BCとの間にスキューを生じさせる。これはT1がオンになると正確には同一の時点でT3がオフにならないことを意味する。従って入力信号DIが瞬間的に出力側に生じそしてこの出力側に接続された組合せ論理回路によって実際の信号として解釈される恐れがある。

【0030】(2) シフトレジスタ出力SOおよびラッチ出力Qは同一の時点である。SOを次段の入力SIに接続するために必要な配線は比較的長くなりそしてQに接続される回路をロードダウンする。

【0031】前記の従来技術の問題はいずれもクロック信号Cを低減させることによって回避することができ

る。しかしクロック信号Cを低減させることは走査可能なラッチが用いられている装置のサイクル時間に直接の衝撃を与え従って装置の全体的な動作速度を低下させるので好ましくない。

【0032】図6は図3の回路に関連する双方の欠点を解消する本発明の組合せラッチ/シフトレジスタ回路設計の論理回路図を示す。図6の回路はクロック信号A、BおよびCによって直接制御されそして図4の回路を必要としないので図3のスキューの問題が解決される。

【0033】図6においてこの回路をラッチとして使用する場合には、クロック信号AおよびBがローに保持されそして伝送ゲートT5がオフにかつT6がオンにされる。ラッチのマスタ部分T1、I1、T2およびI2およびスレーブ部分T3、I3、T4およびI4は図1について説明したようにクロック信号Cの制御下で動作する。信号BCの代わりに信号Bを用いた図5のタイミング図は図6の回路をシフトレジスタ段として用いる際にこの図6にも適用される。図6の回路はこの図6の回路が別のスレーブ部分T7、I5、T8およびI6を有していることを除けば図3のシフトレジスタについて説明したのと同様にして機能する。このようにして出力SOはQに対して接続された回路をロードダウンしない。

【0034】図7は本発明の組合せラッチ/シフトレジスタをCPU中に用いる態様を示す。三つの群のラッチ20a...20n、24a...24nならびに28a...28nが示されている。各ラッチのSO出力は次のラッチのSI入力に対して全ての図示のラッチが単一のシフトレジスタを形成するようにして接続されている。各ラッチの種々のクロック入力各ラッチ群20、24および28について単一の入力CLKSとして示されている。

【0035】ラッチ群の間には組合せ論理回路およびエラー検出論理回路を示すブロック32および33が設けられている。ブロック32および33中にはまた汎用レジスタ(GPR)が含まれておりいくつかのラッチの出力がGPR中にも記憶されることが示されている。このようにして前記のようにデータは1サイクルの終りにラッチ20中にラッチされ、出力端Qに表われ、組合せ論理回路およびエラー検出論理回路32を通過し（これはGPRを含んでいても含んでいなくてもよい）そしてクロックサイクルの終りに他のラッチ24中にラッチされる。エラーが検出されると、CPUクロックが停止されそして以下の二つの過程のいずれか一方が行われる。

【0036】(1) CPUが「バックアップ」されそして再スタートされることができる。これは適当なサイクル数以前に生じGPR中に記憶されているデータに関連するラッチをロードすることによって行われ（これを行う機構は図7には図示されていない）、そしてエラーを生じさせたシーケンスを再度トライすることによって行われる。もしもこのエラーが間断的な問題によって生じたものであればこの再度のトライは成功するはずであ

る。これに対してエラーがハードウェアの故障によって生じたものであるときにはエラーは再度生じることになる。

【0037】(2) ラッチ／シフトレジスタ回路をシフトレジスタとして用いることができそしてエラーを生じさせたデータをコンソールCPUに対してシフトアウトさせることができる。このデータをコンソールCPUによって記憶しそしてラッチにシフトバックさせることができそしてCPUはもう一度サイクルを実行してエラーを反復させることができる。このようにしてエラーを含むラッチ中のデータをコンソールCPUにシフトアウトさせることができる。エラーを生じさせた動作の前後のデータを知ることができ、ならびにエラーが生じた際に行われた動作を知ることができる。そしてエラーの原因を分離する試みが可能である。

【0038】図3および図6のいずれかの回路を図7のラッチ20、24および28として用いそしてクロック信号C(図2)を用いてこれらのラッチを制御すると、CPUの設計に大きな時間的な制約が課せられることになる。図2について説明すると、tp1およびtp2の間のクロックサブサイクル時間は組合せ論理回路がデータを処理する時間にあたりそしてエラー検出回路がエラーを検出している時間にあたる。時点tp1でデータがラッチのマスタ部分にラッチされそしてラッチの出力端Qに生ずる。時点tp2でデータはラッチのスレーブ部分にラッチされる。クロックサブサイクルの時点tp2とtp3との間でエラーが検出されると、伝送ゲートT1がオンになりそしてマスタ部分の出力Mが入力DIに従う。クロック信号Cが停止されると、クロックはローレベルになりそしてスレーブ部分はその入力にある論理レベルをラッチすることになる。このようにしてサイクルのはじめに存在したスレーブ部分の内容が変更される。

【0039】前記の問題を回避する一つの方法はエラー検出論理回路がクロック信号Cがローである間にすなわちtp1およびtp2の間で定められるクロックサブサイクル時間の間にエラーを検出できるようにクロックサイクルを長くとることである。しかしすでに述べたようにコンピュータ装置は最大の効率を得るために可能な限り最大の速度で動作させることが望ましい。従ってサイクル時間は最も動作時間の遅い組合せ論理回路の群が機能しうような最小の時間に設計される。

【0040】図8および図9はクロック信号を「チョップ」できる態様を示しかつこのようなチョッピングの利点を示す。図8は信号CLKを2入力NANDゲート40の一方の入力端および複数のインバータ42~45を通して他方の入力端に加える態様を示している。図9は図8の回路のタイミング図である。信号CLKはインバータ42~45によってtp10およびtp11の間の時間に等しい量で遅延されている。tp11および

tp12の間の時間中、CLKおよびCLKの双方はハイでありそしてNANDゲート40の出力はローである。この出力はインバータ41によって反転されてクロック信号CCを生じる(簡単のために図9中にはNANDゲート40およびインバータ41による回路遅延は示していない)。

【0041】図1の方形波Cの代りにチョップされたクロック信号CCを用いると、クロック信号がローである時間の長さが延長される。すなわち方形波Cはサイクルの50%にわたってローであるが、チョップされたクロック信号CCはこの具体例ではサイクルの90%にわたってローである。本明細書中で説明する走査可能なラッチ回路の動作に関係して用いられる信号である図5のチョップされたクロック信号AおよびBは図8中に示されたのと同様にしてクロック信号CLK(又はその他のマスタクロック信号)から発生させることができる点に注意すべきである。

【0042】チョップされた信号CCを用いてラッチ入力におけるデータがマスタ部分にラッチされそしてまた出力端に生じる際にチョップサイクルがtp12で開始される(図9参照)。このようにしてエラー検出論理回路はクロック信号CCがローである間にtp12およびtp13の間の時間を有し任意のエラーを検出する。時点tp13において入力ラッチのスレーブ部分にラッチされそして次のサイクルがtp14で開始される。前記から明らかなように、チョップされたクロック信号CCはエラー検出論理回路がエラーを検出することを許容される時間を著しく延長する。

【0043】図6のラッチの改善された変形例の論理回路図が図10に示されておりそして対応するタイミング図が図11に示されている。この回路をラッチとして用いる場合には、要素T20、I20、T21およびI21がマスタ部分を形成しそして要素T22、I22、T23およびI23がスレーブ部分を形成する。この動作モードの間(回路がラッチとして使用されている際)では、クロック信号AおよびBはローであり、伝送ゲートT24およびT26はオフでありそして伝送ゲートT25およびT27はオンである。伝送ゲートのクロック信号Cの極性は図1、図3および図6の前記ラッチの具体例について示されたものと逆である点に注意すべきである。

【0044】図11に示すタイミング図においては、時点tp15以前にはクロック信号CがローでありそしてT20がオンになっていることが示されている。このようにして、I20によって反転された入力信号DIはオフになったT22の入力端に存在する。tp15の時点ではクロック信号がハイになる。従ってT20はオフになりそしてT21がオンになって信号DIをラッチのマスタ部分にラッチする。T22もtp15においてオンになりそして入力信号DIが出力端Qに生じる。時点t

15

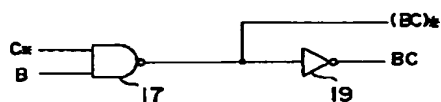
p16において、クロック信号CがローになってT22をオフにそしてT23をオンにし入力信号をラッチのスレーブ部分にラッチする。

【0045】図示のようにクロックサイクルはtp15とtp17との間の時間である。tp15とtp16との間の時間はそれがエラー検出論理回路を機能させるのに要する時間に比較して短い。従ってこの時間の間にはどのような場合にもエラーを検出することはできなかった。このようにtp15およびtp16の間のクロックサイクルのこの部分はなんら重要なものではない。これに対してtp16とtp17との間でエラーが検出されると、クロック信号はローでありそして入力をラッチのマスタ部分にラッチせずに停止させることができる。このようにこの回路はエラー検出信号を動作させるために有用な完全なサイクルを与える。

【0046】図10の回路をシフトレジスタ段として用いる場合には、クロック信号Cがローに保持される。伝送ゲートT22がオフになりそしてT20がオンになる。図6の具体例ではラッチのマスタ部分はそれがクロックが停止された際にシフトされるデータを保持したのでシフトレジスタ段のマスタ部分としても機能した。これに対して図10の改良された回路においては、クロックが停止されるとシフトされるデータはラッチのスレーブ部分に保持される。このようにラッチのスレーブ部分はシフトレジスタ段のマスタ部分となりそして要素T24、I24、T25およびI25はシフトレジスタのスレーブ部分である。

【0047】信号BCを有しない図5のタイミング図はシフトレジスタモードで動作する際の図10の回路にも適用される。クロック信号AがハイになってT24をオンにしそしてシフトレジスタ段のマスタ部分（ラッチのスレーブ部分）中に保持されているデータを出力端SOに移送する。クロック信号AがローになるとT24がオフになりT25がオンになりそしてデータはシフトレジスタ段のスレーブ部分にラッチされる。さらにクロック信号Bがハイになり伝送ゲートT26がオンになりそしてシフトレジスタの前段の出力からの入力信号SIがシフトレジスタ段のマスタ部分の入力端に加えられる。クロック信号Bがローになると伝送ゲートT26がオフになり、T27がオンになり、そして入力信号SIがシフトレジスタ段のマスタ部分中にラッチされる。

【図4】



16

【0048】図10の改善された回路は従来技術のラッチ/シフトレジスタ回路に存在していた双方の問題を解決する。クロックサイクルの100%がエラー検出論理回路に効果的に利用されそしてラッチの出力は次のシフトレジスタ段の入力によってロードダウンされることがない。この改良によってクロックサイクルをシステムの全遅延時間がエラーが検出された際にクロック信号がハイレベルからローレベルに移行する恐れなしに可能になるのと同程度に短くすることができる。

10 【図面の簡単な説明】

【図1】典型的なCMOSラッチ回路の回路図。

【図2】図1のCMOSラッチ回路のタイミング図。

【図3】組合せCMOSラッチ/シフトレジスタ回路の論理回路図。

【図4】図3のラッチ/シフトレジスタ回路に必要なクロックドゲート回路の回路図。

【図5】図3及び図4の回路のタイミング図。

【図6】本発明の組合せCMOSラッチ/シフトレジスタ回路の論理回路図。

20 【図7】最新型のコンピュータシステムの構造における組合せCMOSラッチ/シフトレジスタ回路の使用状態を示す回路図。

【図8】この発明で使用するクロックチョップ回路の論理回路図。

【図9】図8のクロックチョップ回路のタイミング図。

【図10】本発明の他の組合せCMOSラッチ/シフトレジスタ回路の論理回路図。

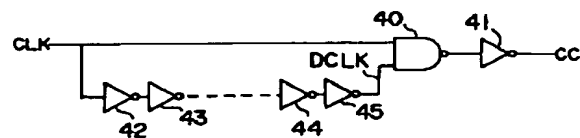
【図11】図10の組合せCMOSラッチ/シフトレジスタ回路のタイミング図。

30 【符号の説明】

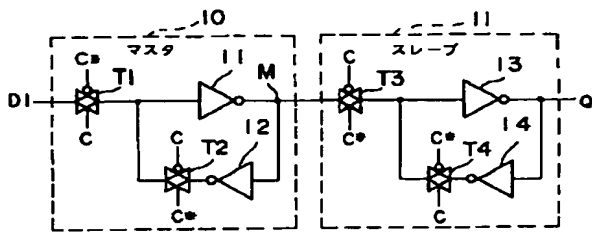
10…マスタ部分、11…スレーブ部分、17…2入力NANDゲート、19…インバータ、20、24、28…ラッチ群、32、33…エラー検出論理回路、40…2入力NANDゲート、41、42、43、44、45…インバータ、T1、T2、T3、T4、T5、T6、T7、T8、T20、T21、T22、T23、T24、T25、T26、T27…伝送ゲート（電子的スイッチ装置）、I1、I2、I3、I4、I5、I6、I20、I21、I22、I23、I24、I25…インバータ（インバータゲート）。

40

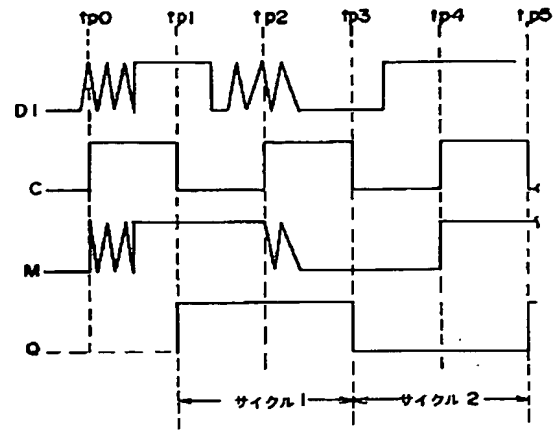
【図8】



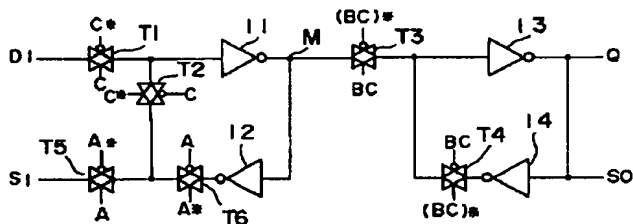
【図1】



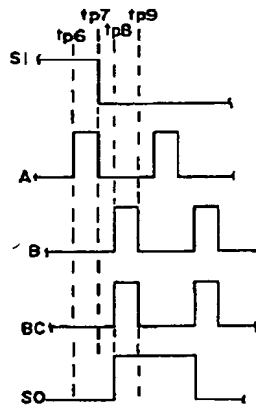
【図2】



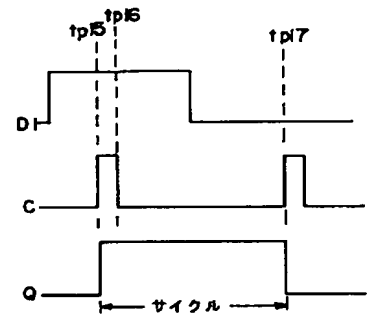
【図3】



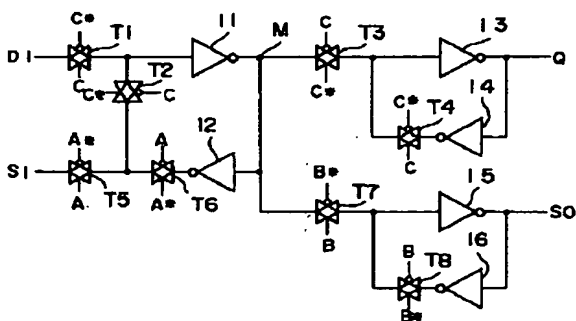
【図5】



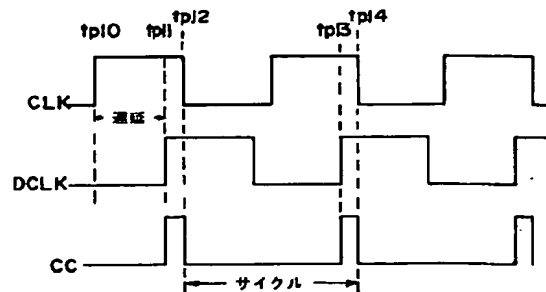
【図11】



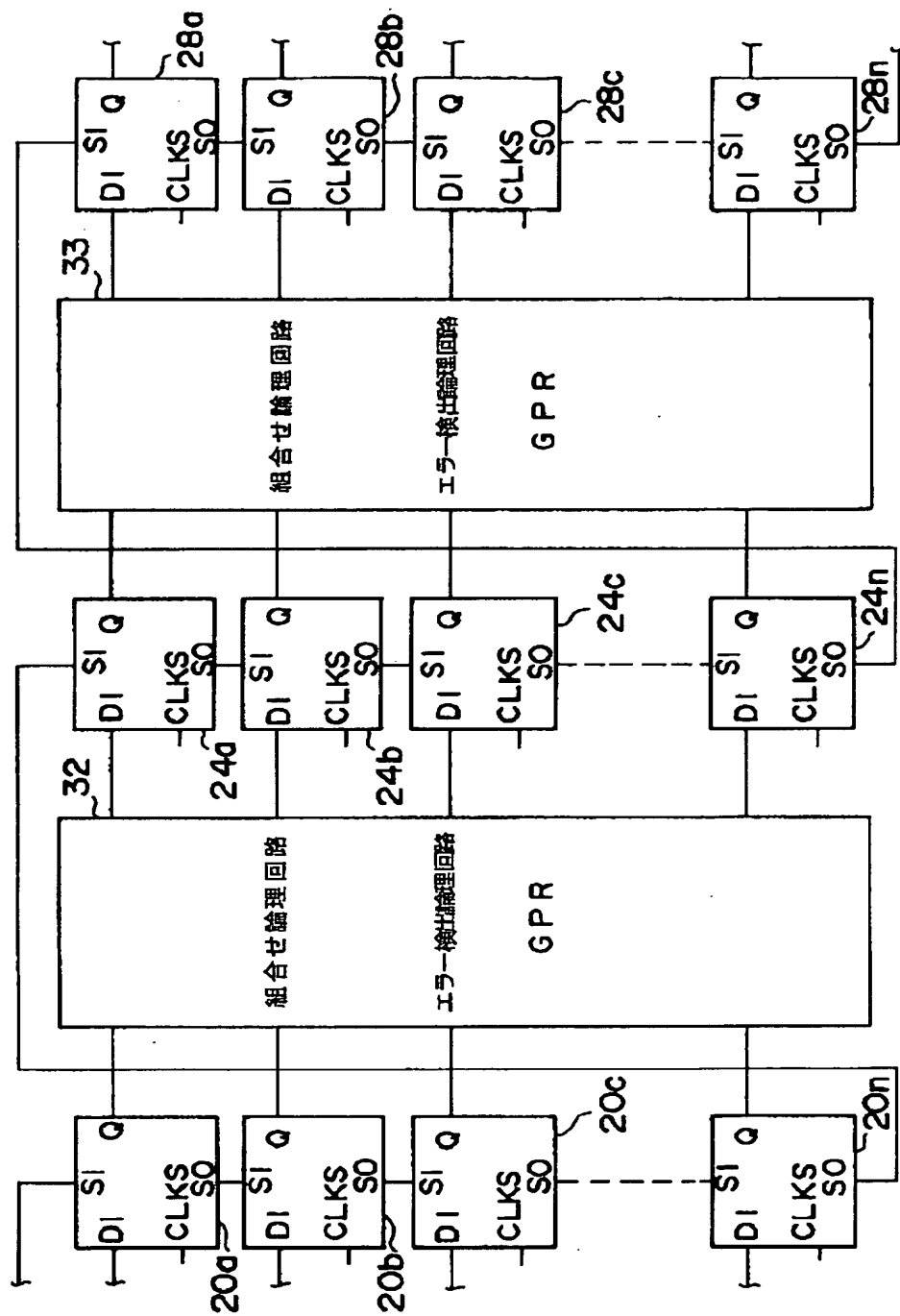
【図6】



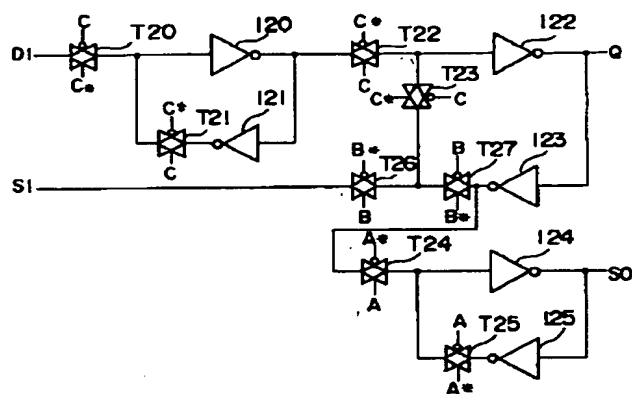
【図9】



【図7】



【図10】



フロントページの続き

(72) 発明者 クック、ラリー
 アメリカ合衆国カリフォルニア州95014
 カパーチノ、ウォーレス・ドライブ
 22069